

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-261950

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H02M 3/155

H03K 3/017

(21)Application number : 08-066689

(71)Applicant : TAIYO YUDEN CO LTD

(22)Date of filing : 22.03.1996

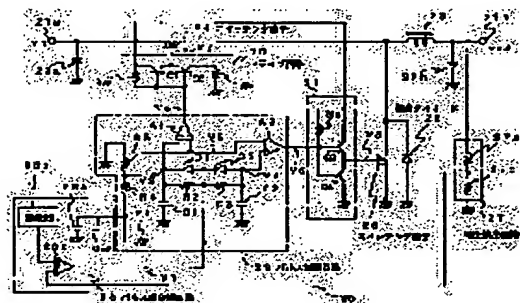
(72)Inventor : NAKAGOME HIDEFUMI
KIMURA HAJIME

(54) PULSE CONTROLLING CIRCUIT AND SYNCHRONOUS RECTIFYING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To fabricate the entire circuit at low cost by making it possible that a square wave signal of a specified pulse width is input into an input terminal and then output voltage is taken out and a pulse signal which rises after the square wave signal and has a shorter pulse width than the input signal and finishes earlier than the input signal is generated by a simply-structured controlling circuit.

SOLUTION: When voltage V_{in} is input into an input terminal 21a, a voltage detecting circuit 27 detects the terminal voltage of an output terminal 21b and then outputs the detected voltage V_o . By driving a pulse width modulating circuit 28, a pulse controlling circuit 29, and a first and a second driving circuit 30, 31, switching devices 24, 25 are switched to the reverse on/off states. When the first device 24 is turned on, the input voltage V_{in} is smoothed by a reactor 23 and a capacitor 22b and then is output from the output terminal 21b. When the first device 24 is turned off, the second device 25 is turned on and the current of the reactor 23 is kept at the same level by a commutation diode 26 and the device 25 and thereby constant voltage V_{out} is output from the output terminal 21b. By this method, the cost of the entire circuit can be reduced.



LEGAL STATUS

[Date of request for examination] 13.04.1999

[Date of sending the examiner's decision of rejection] 26.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2000-17042

[Date of requesting appeal against examiner's decision of rejection] 26.10.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-261950

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl.⁶

H 0 2 M 3/155

H 0 3 K 3/017

識別記号

庁内整理番号

F I

H 0 2 M 3/155

H 0 3 K 3/017

技術表示箇所

H
P

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平8-66689

(22) 出願日

平成8年(1996)3月22日

(71) 出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 中込 秀文

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 木村 一

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

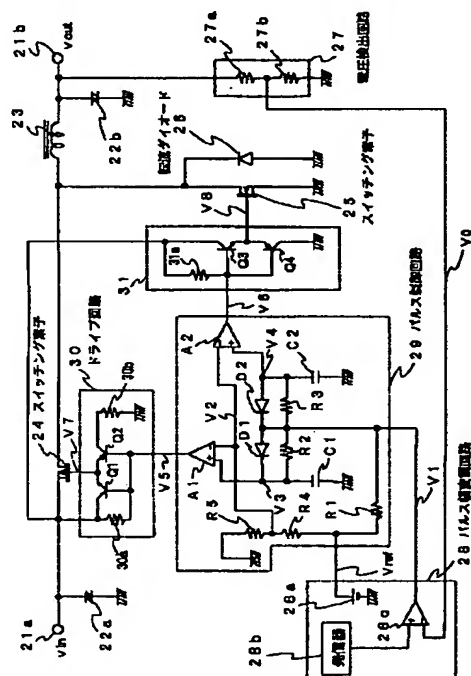
(74) 代理人 弁理士 吉田 精幸

(54) 【発明の名称】 パルス制御回路及び同期整流回路

(57) 【要約】

【課題】 従来の同期整流回路におけるコントロール集積回路に代えて用いることができる安価な回路構成のパルス制御回路及びこれを用いた同期整流回路を提供する。

【解決手段】 同期整流回路における第1及び第2のスイッチング素子24、25のオン・オフ切り替えを制御する制御部を、汎用のパルス幅変調回路28、パルス制御回路29及びドライブ回路30、31によって構成し、さらにパルス制御回路29を、比較器A1、A2と、比較器A1の入力側とパルス幅変調回路28の出力端子の間に、この出力端子側をアノードとして接続されたダイオードD1と、比較器A2の入力側とパルス幅変調回路28の出力端子の間に、この出力端子側をカソードとして接続されたダイオードD2と、ダイオードD1に並列接続された抵抗器R2と、ダイオードD2に並列接続された抵抗器R3と、ダイオードD1のカソードと接地間に接続されたコンデンサC1と、ダイオードD2のアノードと接地間に接続されたコンデンサC2とから構成する。



1

【特許請求の範囲】

【請求項1】 入力端子より所定のパルス幅を有する矩形波状の基準パルス信号を入力し、該基準パルス信号より所定時間遅延した第1のパルス幅を有する矩形波状の第1のパルス信号を第1の出力端子から出力すると共に、該第1のパルス信号のパルス幅内に存在し、前記第1のパルス幅よりも小さい第2のパルス幅を有し、先端部及び後端部が前記第1のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第2のパルス信号を第2の出力端子より出力するパルス制御回路であって、

入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第1の出力端子に出力する第1の比較器と、

入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第2の出力端子に出力する第2の比較器と、

前記第1の比較器の入力側と前記入力端子の間に、前記入力端子側をアノードとして接続された第1のダイオードと、

前記第2の比較器の入力側と前記入力端子の間に、前記入力端子側をカソードとして接続された第2のダイオードと、

前記第1のダイオードに並列接続された第1の抵抗器と、

前記第2のダイオードに並列接続された第2の抵抗器と、

前記第1のダイオードのカソードと接地間に接続された第1のコンデンサと、

前記第2のダイオードのアノードと接地間に接続された第2のコンデンサとからなることを特徴とするパルス制御回路。

【請求項2】 前記第1及び第2の比較器として、2つの入力端子を有し、該2つの入力端子への入力電圧の比較結果に基づいて、出力電圧レベルを二値的に変化させるコンパレータ素子を用いたことを特徴とする請求項1記載のパルス制御回路。

【請求項3】 前記第1及び第2の比較器として、入力しきい値電圧により出力電圧レベルを二値的に変化させるCMOSロジック素子を用いたことを特徴とする請求項1記載のパルス制御回路。

【請求項4】 入力電圧を平滑リアクトルを介して出力端子に出力する第1のスイッチング素子と、前記出力端子と接地間に接続された平滑コンデンサと、前記平滑リアクトルと平滑コンデンサの直列回路に対して並列に且つ前記平滑リアクトルの電流を維持する極性に接続された転流ダイオードと、該転流ダイオードと並列に且つ該転流ダイオードと同じ通電極性に接続された第2のスイッチング素子と、第1のパルス信号に同期して前記第1のスイッチング素子をオン・オフする第1のドライブ回

2

路と、第2のパルス信号に同期して前記第2のスイッチング素子をオン・オフする第2のドライブ回路と、制御パルス信号に基づいて、前記第1のスイッチング素子がオンのとき前記第2のスイッチング素子がオフとなるように前記第1及び第2のパルス信号を出力するパルス制御回路と、前記出力端子電圧を検出する電圧検出手段と、該出力端子電圧を所定値に保つように前記制御パルス信号を出力する制御回路とを備えた同期整流回路であって、

10 前記パルス制御回路は、入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第1の出力端子に出力する第1の比較器と、

入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第2の出力端子に出力する第2の比較器と、

前記第1の比較器の入力側と前記入力端子の間に、前記入力端子側をアノードとして接続された第1のダイオードと、

20 前記第2の比較器の入力側と前記入力端子の間に、前記入力端子側をカソードとして接続された第2のダイオードと、

前記第1のダイオードに並列接続された第1の抵抗器と、

前記第2のダイオードに並列接続された第2の抵抗器と、

前記第1のダイオードのカソードと接地間に接続された第1のコンデンサと、

30 前記第2のダイオードのアノードと接地間に接続された第2のコンデンサとからなることを特徴とする同期整流回路。

【請求項5】 前記パルス制御回路の第1及び第2の比較器として、2つの入力端子を有し、該2つの入力端子への入力電圧の比較結果に基づいて、出力電圧レベルを二値的に変化させるコンパレータ素子を用いたことを特徴とする請求項4記載の同期整流回路。

【請求項6】 前記パルス制御回路の第1及び第2の比較器として、入力しきい値電圧により出力電圧レベルを二値的に変化させるCMOSロジック素子を用いたことを特徴とする請求項4記載の同期整流回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、電圧が変動する直流電源から定電圧の直流電源を生成する同期整流回路に関し、特にこれに用いられるパルス制御回路及びこれを用いた同期整流回路に関するものである。

【0002】

【従来の技術】従来、DC/DCコンバータ等においては、効率を改善する手段の一つとして同期整流回路が用いられている。

【0003】このような同期整流回路は、例えば図2に示すように、入力端子11aから入力された入力電圧 V_{in} を平滑リアクトル12を介して出力端子11bに出力する第1のスイッチング素子13と、出力端子11bと接地間に接続された平滑コンデンサ14と、平滑リアクトル12と平滑コンデンサ14の直列回路に対して並列に且つ平滑リアクトル12の電流を維持する極性に接続された転流ダイオード15と、転流ダイオード15と並列に且つ転流ダイオード15と同じ通電極性に接続された第2のスイッチング素子16と、入力端子11aと接地間に接続された平滑コンデンサ17と、コントロール集積回路18とから構成される。

【0004】また、コントロール集積回路18は、出力端子11bからの出力電圧 V_{out} を監視し、この出力電圧 V_{out} が一定値となるように、第1及び第2のスイッチング素子13、16をオン・オフする。このとき、第1のスイッチング素子13がオンのとき第2のスイッチング素子16がオフとなるように制御する。

【0005】前述の構成よりなる同期整流回路によれば、第1のスイッチング素子13がオンのときは、入力端子11aに入力された電圧 V_{in} が平滑リアクトル12及び平滑コンデンサ14によって平滑され出力端子11bに出力される。また、第1のスイッチング素子13がオフのときは第2のスイッチング素子16がオンとされ、平滑リアクトル12の電流は転流ダイオード15及び第2のスイッチング素子16によって維持され、一定の電圧が出力端子11bに出力される。

【0006】このとき、コントロール集積回路18では、出力端子電圧 V_{out} の変化に応じて第1及び第2のスイッチング素子13、16のオン・オフを制御するパルス信号のパルス幅を変化させ、出力端子電圧 V_{out} が一定となるように帰還制御を行う。

【0007】さらに、コントロール集積回路18は、第1及び第2のスイッチング素子13、16が同時にオンするクロスカレントを防止するため、図3に示すように、第1或いは第2のスイッチング13、16がオンからオフ状態に移行した後、所定のデッドタイム t_{DET} を設定し、このデッドタイム t_{DET} 経過後に、第2或いは第1のスイッチング素子16、13をオン状態としている。

【0008】これにより、出力端子11bに接続された負荷（図示せず）への供給電流が大きい重負荷のときにも、第1のスイッチング素子13がオフのとき、平滑リアクトル12に蓄えられたエネルギーは、第2のスイッチング素子16を介して放出されるので、転流ダイオード15による順方向電圧損失を生ずることが無く、効率の良い同期整流を行うことができる。

【0009】

【発明が解決しようとする課題】しかしながら、前述した従来の同期整流回路においては、高価なコントロール

集積回路18を使用しているためコスト高になっていた。

【0010】本発明の目的は上記の問題点に鑑み、従来の同期整流回路におけるコントロール集積回路に代えて用いることができる安価な回路構成のパルス制御回路及びこれを用いた同期整流回路を提供することにある。

【0011】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、入力端子より所定のパルス幅を有する矩形波状の基準パルス信号を入力し、該基準パルス信号より所定時間遅延した第1のパルス幅を有する矩形波状の第1のパルス信号を第1の出力端子から出力すると共に、該第1のパルス信号のパルス幅内に存在し、前記第1のパルス幅よりも小さい第2のパルス幅を有し、先端部及び後端部が前記第1のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第2のパルス信号を第2の出力端子より出力するパルス制御回路であって、入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第1の出力端子に出力する第1の比較器と、入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第2の出力端子に出力する第2の比較器と、前記第1の比較器の入力側と前記入力端子の間に、前記入力端子側をアノードとして接続された第1のダイオードと、前記第2の比較器の入力側と前記入力端子の間に、前記入力端子側をカソードとして接続された第2のダイオードと、前記第1のダイオードに並列接続された第1の抵抗器と、前記第2のダイオードに並列接続された第2の抵抗器と、前記第1のダイオードのカソードと接地間に接続された第1のコンデンサと、前記第2のダイオードのアノードと接地間に接続された第2のコンデンサとからなるパルス制御回路を提案する。

【0012】該パルス制御回路によれば、例えば、初期状態において入力端子への入力電圧がローレベルで、第1及び第2の比較器の出力電圧レベルがローレベルである場合、入力端子にパルス信号が入力され、入力端子電圧がローレベルからハイレベルに変化すると、該電圧に基づく電流が第1のダイオードを介して第1のコンデンサに流れて充電が開始されると共に第2の抵抗器を介して第2のコンデンサに通電され充電が開始される。

【0013】これにより、第1及び第2のコンデンサの端子間電圧が上昇し、該電圧がそれぞれに対応する第1及び第2の比較器に入力される。第1及び第2の比較器のそれぞれにおいては、入力電圧と基準電圧が比較され、例えば入力電圧が前記基準電圧以上となったときに、その出力電圧をローレベルからハイレベルに変化させる。ここで、前記第2のコンデンサへは第2の抵抗器を介して充電が行われるため、第2のコンデンサへの充電電流は第1のコンデンサへの充電電流よりも少なくな

り、第2のコンデンサの端子間電圧の上昇率は、第1のコンデンサの端子間電圧の上昇率よりも小さくなる。

【0014】この結果、第1の比較器の出力電圧がローレベルからハイレベルに変化する立ち上がりは、第2の比較器の出力電圧がローレベルからハイレベルに変化する立ち上がりよりも早くなる。

【0015】また、入力端子電圧がハイレベルからローレベルに変化すると、第1のコンデンサに充電された電荷が第1の抵抗器を介して放電されると共に第2のコンデンサに充電された電荷が第2のダイオードを介して放電される。

【0016】これにより、第1及び第2のコンデンサの端子間電圧が減少し、第1及び第2の比較器のそれぞれにおいては、入力電圧が基準電圧よりも低くなったときに、その出力電圧をハイレベルからローレベルに変化させる。ここで、前記第2のコンデンサからは第2のダイオードを介して放電が行われるため、第2のコンデンサからの放電電流は第1のコンデンサからの放電電流よりも多くなり、第2のコンデンサの端子間電圧の減少率は、第1のコンデンサの端子間電圧の減少率よりも大きくなる。

【0017】この結果、第1の比較器の出力電圧がハイレベルからローレベルに変化する立ち下がり、第2の比較器の出力電圧がハイレベルからローレベルに変化する立ち下がりよりも遅くなる。

【0018】従って、矩形波状の第1のパルス信号と、該第1のパルス信号のパルス幅内に存在し、前記第1のパルス幅よりも小さい第2のパルス幅を有し、先端部及び後端部が前記第1のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第2のパルス信号を得ることができる。

【0019】また、請求項2では、請求項1記載のパルス制御回路において、前記第1及び第2の比較器として、2つの入力端子を有し、該2つの入力端子への入力電圧の比較結果に基づいて、出力電圧レベルを二値的に変化させるコンパレータ素子を用いたパルス制御回路を提案する。

【0020】該パルス制御回路によれば、第1及び第2の比較器としてコンパレータ素子が用いられ、該コンパレータ素子の一方の入力端子に基準電圧が入力され、他方の入力端子に前記第1或いは第2のコンデンサの端子電圧が入力される。これにより、前記基準電圧は自由に設定可能となり、前記第1のパルス信号と第2のパルス信号との間のデッドタイム等を正確に設定できる。

【0021】また、請求項3では、請求項1記載のパルス制御回路において、前記第1及び第2の比較器として、入力しきい値電圧により出力電圧レベルを二値的に変化させるCMOSロジック素子を用いたパルス制御回路を提案する。

【0022】該パルス制御回路によれば、第1及び第2

の比較器としてCMOSロジック素子が用いられ、該CMOSロジック素子の入力端子に前記第1或いは第2のコンデンサの端子電圧が入力され、該入力電圧はCMOSロジック素子の入力しきい値電圧と比較される。CMOSロジック素子であるため、応答速度が速く、高い周波数で変化する入力電圧に対しても追従可能となる。

【0023】また、請求項4では、入力電圧を平滑リアクトルを介して出力端子に出力する第1のスイッチング素子と、前記出力端子と接地間に接続された平滑コンデンサと、前記平滑リアクトルと平滑コンデンサの直列回路に対して並列に且つ前記平滑リアクトルの電流を維持する極性に接続された転流ダイオードと、該転流ダイオードと並列に且つ該転流ダイオードと同じ通電極性に接続された第2のスイッチング素子と、第1のパルス信号に同期して前記第1のスイッチング素子をオン・オフする第1のドライブ回路と、第2のパルス信号に同期して前記第2のスイッチング素子をオン・オフする第2のドライブ回路と、制御パルス信号に基づいて、前記第1のスイッチング素子がオンのとき前記第2のスイッチング素子がオフとなるように前記第1及び第2のパルス信号を出力するパルス制御回路と、前記出力端子電圧を検出する電圧検出手段と、該出力端子電圧を所定値に保つように前記制御パルス信号を出力する制御回路とを備えた同期整流回路であって、前記パルス制御回路は、入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第1の出力端子に出力する第1の比較器と、入力された電圧レベルと基準電圧レベルとの比較結果に基づいて出力電圧を二値的に変化させて前記第2の出力端子に出力する第2の比較器と、前記第1の比較器の入力側と前記入力端子の間に、前記入力端子側をアノードとして接続された第1のダイオードと、前記第2の比較器の入力側と前記入力端子の間に、前記入力端子側をカソードとして接続された第2のダイオードと、前記第1のダイオードに並列接続された第1の抵抗器と、前記第2のダイオードに並列接続された第2の抵抗器と、前記第1のダイオードのカソードと接地間に接続された第1のコンデンサと、前記第2のダイオードのアノードと接地間に接続された第2のコンデンサとからなる同期整流回路を提案する。

【0024】該同期整流回路によれば、出力端子電圧が電圧検出手段によって検出され、該検出電圧に基づいて、制御回路、パルス制御回路、第1及び第2のドライブ回路によって第1及び第2のスイッチング素子のオン・オフの切り替えが行われる。さらに、前記第1のスイッチング素子がオンのとき前記第2のスイッチング素子がオフとなるように切り替えが制御される。

【0025】これにより、前記第1のスイッチング素子がオンのときは、入力端子に入力された電圧が平滑リアクトル及び平滑コンデンサによって平滑され出力端子に出力される。また、前記第1のスイッチング素子がオフ

のときは前記第2のスイッチング素子がオンとされ、前記平滑リアクトルの電流は転流ダイオード及び前記第2のスイッチング素子によって維持され、一定の電圧が出力端子に出力される。

【0026】このとき、前記制御回路では、出力端子電圧の変化に応じて制御パルス信号のパルス幅を変化させ、出力端子電圧が一定となるように帰還制御を行う。また、前記パルス制御回路では、前記制御パルス信号に基づいて、第1のスイッチング素子がオンのとき前記第2のスイッチング素子がオフとなるような第1及び第2

のパルス信号を生成して、第1及び第2のスイッチング素子に対応する第1及び第2のドライブ回路に出力する。

【0027】ここで、前記パルス制御回路では、第1及び第2のスイッチング素子が共にオン状態とならないような第1及び第2のパルス信号を生成する。

【0028】即ち、前記パルス制御回路では、例えば、初期状態において入力端子への入力電圧がローレベルで、第1及び第2の比較器の出力電圧レベルがローレベルである場合、入力端子に制御パルス信号が入力され、入力端子電圧がローレベルからハイレベルに変化すると、該電圧に基づく電流が第1のダイオードを介して第1のコンデンサに流れて充電が開始されると共に第2の抵抗器を介して第2のコンデンサに通電され充電が開始される。

【0029】これにより、第1及び第2のコンデンサの端子間電圧が上昇し、該電圧がそれぞれに対応する第1及び第2の比較器に入力される。第1及び第2の比較器のそれぞれにおいては、入力電圧と基準電圧が比較され、例えば入力電圧が前記基準電圧以上となったときに、その出力電圧をローレベルからハイレベルに変化させる。ここで、前記第2のコンデンサへは第2の抵抗器を介して充電が行われるため、第2のコンデンサへの充電電流は第1のコンデンサへの充電電流よりも少なくなり、第2のコンデンサの端子間電圧の上昇率は、第1のコンデンサの端子間電圧の上昇率よりも小さくなる。

【0030】この結果、第1の比較器の出力電圧がローレベルからハイレベルに変化する立ち上がりは、第2の比較器の出力電圧がローレベルからハイレベルに変化する立ち上がりよりも早くなる。

【0031】また、パルス制御回路の入力端子電圧がハイレベルからローレベルに変化すると、第1のコンデンサに充電された電荷が第1の抵抗器を介して放電されると共に第2のコンデンサに充電された電荷が第2のダイオードを介して放電される。

【0032】これにより、第1及び第2のコンデンサの端子間電圧が減少し、第1及び第2の比較器のそれぞれにおいては、入力電圧が基準電圧よりも低くなったときに、その出力電圧をハイレベルからローレベルに変化させる。ここで、前記第2のコンデンサからは第2のダイ

オードを介して放電が行われるため、第2のコンデンサからの放電電流は第1のコンデンサからの放電電流よりも多くなり、第2のコンデンサの端子間電圧の減少率は、第1のコンデンサの端子間電圧の減少率よりも大きくなる。

【0033】この結果、第1の比較器の出力電圧がハイレベルからローレベルに変化する立ち下がり、第2の比較器の出力電圧がハイレベルからローレベルに変化する立ち下がりよりも遅くなる。

【0034】従って、矩形波状の第1のパルス信号と、該第1のパルス信号のパルス幅内に存在し、前記第1のパルス幅よりも小さい第2のパルス幅を有し、先端部及び後端部が前記第1のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第2のパルス信号を得ることができ、前記第1及び第2のスイッチング素子が共にオン状態とならないような第1及び第2のパルス信号が生成される。

【0035】これにより、例えば前記パルス制御回路によって生成された第1のパルス信号がハイレベルのとき第1のドライブ回路は第1のスイッチング素子をオフ状態とし、第2のパルス信号がハイレベルのとき第2のドライブ回路は第2のスイッチング素子をオン状態とする。

【0036】また、請求項5では、請求項4記載の同期整流回路において、前記パルス制御回路の第1及び第2の比較器として、2つの入力端子を有し、該2つの入力端子への入力電圧の比較結果に基づいて、出力電圧レベルを二値的に変化させるコンパレータ素子を用いた同期整流回路を提案する。

【0037】該同期整流回路によれば、前記パルス制御回路における第1及び第2の比較器としてコンパレータ素子が用いられ、該コンパレータ素子の一方の入力端子に基準電圧が入力され、他方の入力端子に前記第1或いは第2のコンデンサの端子電圧が入力される。これにより、前記基準電圧は自由に設定可能となり、前記第1のパルス信号と第2のパルス信号との間のデッドタイム等を正確に設定できる。

【0038】また、請求項6では、請求項4記載の同期整流回路において、前記パルス制御回路の第1及び第2の比較器として、入力しきい値電圧により出力電圧レベルを二値的に変化させるCMOSロジック素子を用いた同期整流回路を提案する。

【0039】該同期整流回路によれば、前記パルス制御回路における第1及び第2の比較器としてCMOSロジック素子が用いられ、該CMOSロジック素子の入力端子に前記第1或いは第2のコンデンサの端子電圧が入力され、該入力電圧はCMOSロジック素子の入力しきい値電圧と比較される。CMOSロジック素子であるため、応答速度が速く、制御パルス信号が高い周波数で変化しても追従可能となる。

【0040】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。図1は、本発明の第1の実施形態の同期整流回路を示す構成図である。図において、21aは入力端子、21bは出力端子、22a、22bは平滑コンデンサ、23は平滑リアクトル、24はNチャネルの電解効果トランジスタからなる第1のスイッチング素子、25はPチャネルの電解効果トランジスタからなる第2のスイッチング素子、26は転流ダイオード、27は電圧検出回路、28はパルス幅変調回路、29はパルス制御回路、30は第1のスイッチング素子24を駆動する第1のドライブ回路、31は第2のスイッチング素子25を駆動する第2のドライブ回路である。

【0041】平滑コンデンサ22aは入力端子21aと接地間に接続され、さらに入力端子21aは第1のスイッチング素子24のソースに接続されている。第1のスイッチング素子24のドレインと出力端子21b間には平滑リアクトル23が接続され、出力端子21bと接地間には並列接続された平滑コンデンサ22bと電圧検出回路27が接続されている。また、第1のスイッチング素子24のドレインには第2のスイッチング素子25のドレインと転流ダイオード26のカソードが接続され、第2のスイッチング素子25のソース及び転流ダイオード26のアノードは接地されている。

【0042】電圧検出回路27は直列接続された2つの抵抗器27a、27bから構成され、これらの抵抗器27a、27bによって出力端子電圧Voutを分圧した電圧V0を出力する。

【0043】パルス幅変調回路28は、周知のように入力電圧レベルに対応して出力パルスのパルス幅を変化させる回路であり、例えば汎用のICからなり、その内部には定電圧発生回路28a、三角波を発生する発信器28b、及び演算増幅器からなる比較器28cを備え、比較器28cの反転入力端子には電圧検出回路27からの検出電圧V0が入力され、非反転入力端子には発信器28bからの三角波電圧が入力されている。これにより、比較器28cからは検出電圧V0に応じてパルス幅が変化する、即ち検出電圧V0のレベルが上昇するとハイレベルのパルス幅が減少し、検出電圧V0のレベルが降下するとハイレベルのパルス幅が増加する矩形波状の連続パルス信号V1が出力される。

【0044】パルス制御回路29は、演算増幅器或いはコンパレータ素子からなる比較器A1、A2、ダイオードD1、D2、抵抗器R1～R5、コンデンサC1、C2から構成されている。

【0045】第1のダイオードD1は比較器A1の非反転入力端子と比較器28cの出力端子との間に、比較器28c側をアノードとして接続され、第2のダイオードD2は比較器A2の非反転入力端子と比較器28cの出力端子の間に、比較器28c側をカソードとして接続さ

れている。また、抵抗器R2は第1のダイオードD1に並列接続され、抵抗器R3は第2のダイオードD2に並列接続され、コンデンサC1は第1のダイオードD1のカソードと接地間に接続され、コンデンサC2は第2のダイオードD2のアノードと接地間に接続されている。

【0046】さらに、第1のダイオードD1のアノード及び第2のダイオードD2のカソードには抵抗器R1を介して定電圧発生回路28aから出力される定電圧Vrefが印加されると共に、比較器A1、A2の反転入力端子には抵抗器R4、R5によって電圧Vrefを分圧した電圧V2が基準電圧として印加されている。

【0047】第1のドライブ回路30は、NPN型トランジスタQ1、PNP型トランジスタQ2、及び抵抗器30a、30bから構成され、トランジスタQ1、Q2のベースは抵抗器30aの一端及び比較器A1の出力端子に接続されている。また、トランジスタQ1のコレクタは抵抗器30aの他端及び入力端子21aに接続され、エミッタはトランジスタQ2のエミッタ及びスイッチング素子24のゲートに接続されている。さらに、トランジスタQ2のコレクタは抵抗器30bを介して接地されている。

【0048】第2のドライブ回路31は、NPN型トランジスタQ3、PNP型トランジスタQ4、及び抵抗器31aから構成され、トランジスタQ3、Q4のベースは抵抗器31aの一端及び比較器A2の出力端子に接続されている。また、トランジスタQ3のコレクタは抵抗器31aの他端及び入力端子21aに接続され、エミッタはトランジスタQ4のエミッタ及びスイッチング素子25のゲートに接続されている。さらに、トランジスタQ4のコレクタは接地されている。

【0049】次に、前述の構成よりなる同期整流回路の動作を図4の波形図に基づいて説明する。入力端子21aに電圧Vinが入力されると、出力端子21bの端子電圧が電圧検出回路27によって検出され、検出電圧V0に基づいて、パルス幅変調回路28、パルス制御回路29、第1及び第2のドライブ回路30、31が駆動され、これらによって第1及び第2のスイッチング素子24、25のオン・オフ状態の切り替えが行われる。またこのとき、第1のスイッチング素子24がオンのときに第2のスイッチング素子25がオフとなるように切り替えが制御される。

【0050】これにより、第1のスイッチング素子24がオンのときは、入力端子21aに入力された電圧Vinが平滑リアクトル23及び平滑コンデンサ22bによって平滑され、出力端子21bに出力される。また、第1のスイッチング素子24がオフのときは第2のスイッチング素子25がオンとされ、平滑リアクトル23の電流は転流ダイオード26及び第2のスイッチング素子25によって維持され、一定の電圧Voutが出力端子21bに出力される。

【0051】このとき、パルス幅変調回路28及びパルス制御回路28では、出力端子電圧 V_{out} の変化に応じて第1及び第2のドライブ回路30、31へ入力される制御パルス信号 V_5 、 V_6 のパルス幅を変化させ、出力端子電圧 V_{out} が一定となるように帰還制御を行う。

【0052】また、パルス制御回路29では、パルス幅変調回路28から入力する制御パルス信号 V_1 に基づいて、第1のスイッチング素子24がオンのとき第2のスイッチング素子25がオフとなるような第1及び第2のパルス信号 V_5 、 V_6 を生成して、第1及び第2のスイ

ッチング素子24、25に対応する第1及び第2のドライブ回路30、31に出力する。

【0053】ここで、パルス制御回路29では、第1及び第2のスイッチング素子24、25が共にオン状態とならないような第1及び第2のパルス信号 V_5 、 V_6 を生成する。

【0054】即ち、パルス制御回路29では、例えば、初期状態においてパルス幅変調回路28から出力される制御パルス信号 V_1 の電圧レベルがローレベルで、第1及び第2の比較器A1、A2の出力電圧 V_5 、 V_6 のレベルがローレベルである場合、制御パルス信号 V_1 の電圧レベルがローレベルからハイレベルに変化すると、図5に示すように、この電圧 V_1 に基づく電流 I_1 が第1のダイオードD1を介してコンデンサC1に流れて充電が開始されると共に電流 I_2 が抵抗器R3を介してコンデンサC2に流れて充電が開始される。

【0055】これにより、これら2つのコンデンサC1、C2の端子間電圧 V_3 、 V_4 が上昇し、この電圧 V_3 、 V_4 がそれぞれに対応する第1及び第2の比較器A1、A2に入力される。

【0056】第1及び第2の比較器A1、A2のそれぞれにおいては、入力電圧 V_3 、 V_4 と基準電圧 V_2 が比較され、例えば入力電圧 V_3 、 V_4 が基準電圧 V_2 以上となったときに、その出力電圧 V_5 、 V_6 をローレベルからハイレベルに変化させる。ここで、コンデンサC2へは抵抗器R3を介して充電が行われるため、コンデンサC2への充電電流 I_2 はコンデンサC1への充電電流 I_1 よりも少なくなり、コンデンサC2の端子間電圧 V_4 の上昇率は、コンデンサC1の端子間電圧 V_3 の上昇率よりも小さくなる。

【0057】この結果、第1の比較器A1の出力電圧 V_5 がローレベルからハイレベルに変化する立ち上がりは、第2の比較器A2の出力電圧 V_6 がローレベルからハイレベルに変化する立ち上がりよりも早くなる。

【0058】また、パルス幅変調回路28から出力される電圧 V_1 がハイレベルからローレベルに変化すると、図6に示すように、コンデンサC1に充電された電荷が抵抗器R2を介して電流 I_3 が流れて放電されると共にコンデンサC2に充電された電荷がダイオードD2を介して電流 I_4 が流れて放電される。

【0059】これにより、これら2つのコンデンサC1、C2の端子間電圧 V_3 、 V_4 が減少し、第1及び第2の比較器A1、A2のそれぞれにおいては、入力電圧 V_3 、 V_4 が基準電圧 V_2 よりも低くなったときに、その出力電圧 V_5 、 V_6 をハイレベルからローレベルに変化させる。

【0060】ここで、コンデンサC2からはダイオードD2を介して放電が行われるため、コンデンサC2からの放電電流 I_4 はコンデンサC1からの放電電流 I_3 よりも大きくなり、コンデンサC2の端子間電圧 V_4 の減少率は、コンデンサC1の端子間電圧 V_3 の減少率よりも大きくなる。

【0061】この結果、第1の比較器A1の出力電圧 V_5 がハイレベルからローレベルに変化する立ち下がり、第2の比較器A2の出力電圧 V_6 がハイレベルからローレベルに変化する立ち下がりよりも遅くなる。

【0062】従って、矩形波状の第1のパルス信号 V_5 と、第1のパルス信号 V_5 のパルス幅内に存在し、このパルス幅よりも小さいパルス幅を有し、先端部及び後端部が第1のパルス信号 V_5 の先端部及び後端部との間に所定の時間間隔 t_{DET} をあけて形成されている矩形波状の第2のパルス信号 V_6 を得ることができ、第1及び第2のスイッチング素子24、25が共にオン状態とならないような第1及び第2のパルス信号 V_5 、 V_6 が生成される。

【0063】即ち、第1のドライブ回路30においては、第1のパルス信号 V_5 がローレベルのときにトランジスタQ1がオフ状態、トランジスタQ2がオン状態となり、第1のスイッチング素子24のゲートにローレベルの電圧が印加され、Pチャネルの電解効果トランジスタである第1のスイッチング素子24はオン状態となる。

【0064】また、第2のドライブ回路においては、第2のパルス信号 V_6 がハイレベルのときにトランジスタQ3がオン状態、トランジスタQ4がオフ状態となり、第2のスイッチング素子25のゲートにハイレベルの電圧が印加され、Nチャネルの電解効果トランジスタである第2のスイッチング素子25はオン状態となる。

【0065】従って、従来のように高価なコントロール集積回路を使用することなく、安価な同期整流回路を構成することができる。

【0066】また、第1及び第2の比較器A1、A2として演算増幅器或いはコンパレータ素子を用いており、コンパレータ素子の反転入力端子に基準電圧 V_2 が入力され、非反転入力端子に第1或いは第2のコンデンサの端子電圧 V_3 、 V_4 が入力されるため、正確なデッドタイムの設定が可能となる。また、基準電圧 V_2 を自由に設定することができるので、第1及び第2のパルス信号 V_5 、 V_6 のパルス幅を微細に調整することができる。

【0067】次に、本発明の第2の実施形態を説明す

る。図 7 は、第 2 の実施形態の同期整流回路を示す構成図である。図において、前述した第 1 の実施形態と同一構成部分は同一符号をもって表しその説明を省略する。また、第 1 の実施形態と第 2 の実施形態との相違点は、第 1 の実施形態におけるパルス制御回路 29 に代えて CMOS ロジック素子を用いたパルス制御回路 32 を備えたことにある。

【0068】このパルス制御回路 32 は、CMOS の 2 入力 AND ロジック素子 A3、A4、ダイオード D3、D4、抵抗器 R11、R12、R13、コンデンサ C11、C12 から構成されている。

【0069】第 1 のダイオード D3 は AND ロジック素子 A3 の一方の入力端子とパルス幅変調回路 28 の比較器 28c の出力端子との間に、比較器 28c 側をアノードとして接続され、第 2 のダイオード D4 は AND ロジック素子 A4 の一方の入力端子と比較器 28c の出力端子の間に、比較器 28c 側をカソードとして接続されている。

【0070】また、抵抗器 R12 は第 1 のダイオード D3 に並列接続され、抵抗器 R13 は第 2 のダイオード D4 に並列接続され、コンデンサ C11 は第 1 のダイオード D3 のカソードと接地間に接続され、コンデンサ C4 は第 2 のダイオード D4 のアノードと接地間に接続されている。

【0071】さらに、第 1 のダイオード D3 のアノード及び第 2 のダイオード D4 のカソードには抵抗器 R11 を介して入力電圧 Vin が印加されると共に、AND ロジック素子 A3、A4 の他方の入力端子には電圧 Vin が印加されている。

【0072】次に、前述の構成よりなる同期整流回路の動作を図 8 の波形図に基づいて説明する。入力端子 21a に電圧 Vin が入力されると、出力端子 21b の端子電圧が電圧検出回路 27 によって検出され、検出電圧 V0 に基づいて、パルス幅変調回路 28、パルス制御回路 32、第 1 及び第 2 のドライブ回路 30、31 が駆動され、これらによって第 1 及び第 2 のスイッチング素子 24、25 のオン・オフ状態の切り替えが行われる。またこのとき、第 1 のスイッチング素子 24 がオンのときに第 2 のスイッチング素子 25 がオフとなるように切り替えが制御される。

【0073】これにより、第 1 のスイッチング素子 24 がオンのときは、入力端子 21a に入力された電圧 Vin が平滑リアクトル 23 及び平滑コンデンサ 22b によって平滑され、出力端子 21b に出力される。また、第 1 のスイッチング素子 24 がオフのときは第 2 のスイッチング素子 25 がオンとされ、平滑リアクトル 23 の電流は転流ダイオード 26 及び第 2 のスイッチング素子 25 によって維持され、一定の電圧 Vout が出力端子 21b に出力される。

【0074】このとき、パルス幅変調回路 28 及びパル

ス制御回路 32 では、出力端子電圧 Vout の変化に応じて第 1 及び第 2 のドライブ回路 30、31 へ入力される制御パルス信号 V5、V6 のパルス幅を変化させ、出力端子電圧 Vout が一定となるように帰還制御を行う。

【0075】また、パルス制御回路 32 では、パルス幅変調回路 28 から入力する制御パルス信号 V1 に基づいて、第 1 のスイッチング素子 24 がオンのとき第 2 のスイッチング素子 25 がオフとなるような第 1 及び第 2 のパルス信号 V5、V6 を生成して、第 1 及び第 2 のスイッチング素子 24、25 に対応する第 1 及び第 2 のドライブ回路 30、31 に出力する。

【0076】ここで、パルス制御回路 32 では、第 1 及び第 2 のスイッチング素子 24、25 が共にオン状態とならないような第 1 及び第 2 のパルス信号 V5、V6 を生成する。

【0077】即ち、パルス制御回路 32 では、例えば、初期状態においてパルス幅変調回路 28 から出力される制御パルス信号 V1 の電圧レベルがローレベルで、AND ロジック素子 A3、A4 の出力電圧 V5、V6 のレベルがローレベルである場合、制御パルス信号 V1 の電圧レベルがローレベルからハイレベルに変化すると、図 9 に示すように、この電圧 V1 に基づく電流 I5 が第 1 のダイオード D3 を介してコンデンサ C11 に流れて充電が開始されると共に電流 I6 が抵抗器 R13 を介してコンデンサ C12 に流れて充電が開始される。

【0078】これにより、これら 2 つのコンデンサ C11、C12 の端子間電圧 Va、Vb が上昇し、この電圧 Va、Vb がそれぞれに対応する AND ロジック素子 A3、A4 に入力される。

【0079】AND ロジック素子 A3、A4 のそれぞれにおいては、入力電圧 Va、Vb が、これらのロジック素子内部のハイレベルスレショルド電圧 VcH 及びローレベルスレショルド電圧 VcL に達すると、例えば入力電圧 Va、Vb がハイレベルスレショルド電圧 VcH 以上となったときに、その出力電圧 V5、V6 をローレベルからハイレベルに変化させる。

【0080】ここで、コンデンサ C12 へは抵抗器 R13 を介して充電が行われるため、コンデンサ C12 への充電電流 I6 はコンデンサ C11 への充電電流 I5 よりも少なくなり、コンデンサ C12 の端子間電圧 Vb の上昇率は、コンデンサ C11 の端子間電圧 Va の上昇率よりも小さくなる。

【0081】この結果、AND ロジック素子 A3 の出力電圧 V5 がローレベルからハイレベルに変化する立ち上がりは、AND ロジック素子 A4 の出力電圧 V6 がローレベルからハイレベルに変化する立ち上がりよりも早くなる。

【0082】また、パルス幅変調回路 28 から出力される電圧 V1 がハイレベルからローレベルに変化すると、図 10 に示すように、コンデンサ C11 に充電された電

荷が抵抗器 R 1 2 を介して電流 I 7 が流れて放電されると共にコンデンサ C 1 2 に充電された電荷がダイオード D 4 を介して電流 I 8 が流れて放電される。

【0083】これにより、これら 2 つのコンデンサ C 1 1, C 1 2 の端子間電圧 V a, V b が減少し、AND ロジック素子 A 3, A 4 のそれぞれにおいては、入力電圧 V a, V b がローレベルスレショルド電圧 V c L よりも低くなったときに、その出力電圧 V 5, V 6 をハイレベルからローレベルに変化させる。

【0084】ここで、コンデンサ C 1 2 からはダイオード D 4 を介して放電が行われるため、コンデンサ C 1 2 からの放電電流 I 8 はコンデンサ C 1 1 からの放電電流 I 7 よりも大きくなり、コンデンサ C 1 2 の端子間電圧 V b の減少率は、コンデンサ C 1 1 の端子間電圧 V a の減少率よりも大きくなる。

【0085】この結果、AND ロジック素子 A 3 の出力電圧 V 5 がハイレベルからローレベルに変化する立ち下がり、AND ロジック素子 A 4 の出力電圧 V 6 がハイレベルからローレベルに変化する立ち下がりよりも遅くなる。

【0086】従って、矩形波状の第 1 のパルス信号 V 5 と、第 1 のパルス信号 V 5 のパルス幅内に存在し、このパルス幅よりも小さいパルス幅を有し、先端部及び後端部が第 1 のパルス信号 V 5 の先端部及び後端部との間に所定の時間間隔 t d e t をあけて形成されている矩形波状の第 2 のパルス信号 V 6 を得ることができ、第 1 及び第 2 のスイッチング素子 2 4, 2 5 が共にオン状態とならないような第 1 及び第 2 のパルス信号 V 5, V 6 が生成される。

【0087】即ち、第 1 のドライブ回路 3 0 においては、第 1 のパルス信号 V 5 がローレベルのときにトランジスタ Q 1 がオフ状態、トランジスタ Q 2 がオン状態となり、第 1 のスイッチング素子 2 4 のゲートにローレベルの電圧が印加され、P チャネルの電解効果トランジスタである第 1 のスイッチング素子 2 4 はオン状態となる。

【0088】また、第 2 のドライブ回路においては、第 2 のパルス信号 V 6 がハイレベルのときにトランジスタ Q 3 がオン状態、トランジスタ Q 4 がオフ状態となり、第 2 のスイッチング素子 2 5 のゲートにハイレベルの電圧が印加され、N チャネルの電解効果トランジスタである第 2 のスイッチング素子 2 5 はオン状態となる。

【0089】従って、従来のように高価なコントロール集積回路を使用することなく、安価な同期整流回路を構成することができる。

【0090】また、CMOS の AND ロジック素子 A 3, A 4 を比較器として用い、この CMOS AND ロジック素子 A 3, A 4 の入力端子に第 1 或いは第 2 のコンデンサ C 1 1, C 1 2 の端子電圧 V a, V b が入力され、この入力電圧 V a, V b は CMOS AND ロジック

素子内の入力しきい値電圧 V c と比較されるので、基準電圧を別途生成する必要が無く、回路構成を簡略化することができる。さらに、比較器を CMOS AND ロジック素子で構成したので、応答速度が速く、高い周波数で変化する入力電圧に対しても追従可能となる。

【0091】

【発明の効果】以上説明したように本発明の請求項 1 記載のパルス制御回路によれば、ダイオード、抵抗器、コンデンサ、及び比較器を用いて構成した非常に簡単な回路によって、矩形波状の第 1 のパルス信号と、該第 1 のパルス信号のパルス幅内に存在し、前記第 1 のパルス幅よりも小さい第 2 のパルス幅を有し、先端部及び後端部が前記第 1 のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第 2 のパルス信号を得ることができるので、従来のような高価なコントロール集積回路を用いることなく、安価な同期整流回路を構成することができる。

【0092】また、請求項 2 記載のパルス制御回路によれば、上記の効果に加えて、第 1 及び第 2 の比較器としてコンパレータ素子が用いられ、該コンパレータ素子の一方の入力端子に基準電圧が入力され、他方の入力端子に第 1 或いは第 2 のコンデンサの端子電圧が入力されるため、前記基準電圧は自由に設定可能となるので、前記第 1 及び第 2 のパルス信号のパルス幅を微細に調整することができる。また、コンパレータのため、電圧検出精度が高く、正確なデッドタイムの設定が可能となる。

【0093】また、請求項 3 記載のパルス制御回路によれば、上記の効果に加えて、第 1 及び第 2 の比較器として CMOS ロジック素子が用いられ、該 CMOS ロジック素子の入力端子に第 1 或いは第 2 のコンデンサの端子電圧が入力され、該入力電圧は CMOS ロジック素子内の入力しきい値電圧と比較されるので、基準電圧を別途生成する必要が無く、回路構成を簡略化することができる。さらに、前記比較器が CMOS ロジック素子であるため、応答速度が速く、高い周波数で変化する入力電圧に対しても追従可能となる。

【0094】また、請求項 4 記載の同期整流回路によれば、ダイオード、抵抗器、コンデンサ、及び比較器を用いて構成した非常に簡単な回路によって、矩形波状の第 1 のパルス信号と、該第 1 のパルス信号のパルス幅内に存在し、前記第 1 のパルス幅よりも小さい第 2 のパルス幅を有し、先端部及び後端部が前記第 1 のパルス信号の先端部及び後端部との間に所定の時間間隔をあけて形成されている矩形波状の第 2 のパルス信号を得ることができるので、従来のような高価なコントロール集積回路を用いることなく、安価な同期整流回路を構成することができる。

【0095】また、請求項 5 記載の同期整流回路によれば、上記の効果に加えて、第 1 及び第 2 の比較器としてコンパレータ素子が用いられ、該コンパレータ素子の一

方の入力端子に基準電圧が入力され、他方の入力端子に第1或いは第2のコンデンサの端子電圧が入力されるため、前記基準電圧は自由に設定可能となるので、前記第1及び第2のパルス信号のパルス幅を微細に調整することができる。また、コンパレータのため、電圧検出精度が高く、正確なデッドタイムの設定が可能となる。

【0096】また、請求項6記載の同期整流回路によれば、上記の効果に加えて、第1及び第2の比較器としてCMOSロジック素子が用いられ、該CMOSロジック素子の入力端子に第1或いは第2のコンデンサの端子電圧が入力され、該入力電圧はCMOSロジック素子内の入力しきい値電圧と比較されるので、基準電圧を別途生成する必要が無く、回路構成を簡略化することができる。さらに、前記比較器がCMOSゲート素子であるため、応答速度が速く、高い周波数で変化する入力電圧に対しても追従可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の同期整流回路を示す構成図

【図2】従来例の同期整流回路を示す構成図

【図3】従来例における制御パルス信号波形を示す図

【図4】本発明の第1の実施形態における各部の信号波形を示す図

【図5】本発明の第1の実施形態におけるパルス制御回路の動作を説明する図

【図6】本発明の第1の実施形態におけるパルス制御回

路の動作を説明する図

【図7】本発明の第2の実施形態における同期整流回路を示す構成図

【図8】本発明の第2の実施形態における各部の信号波形を示す図

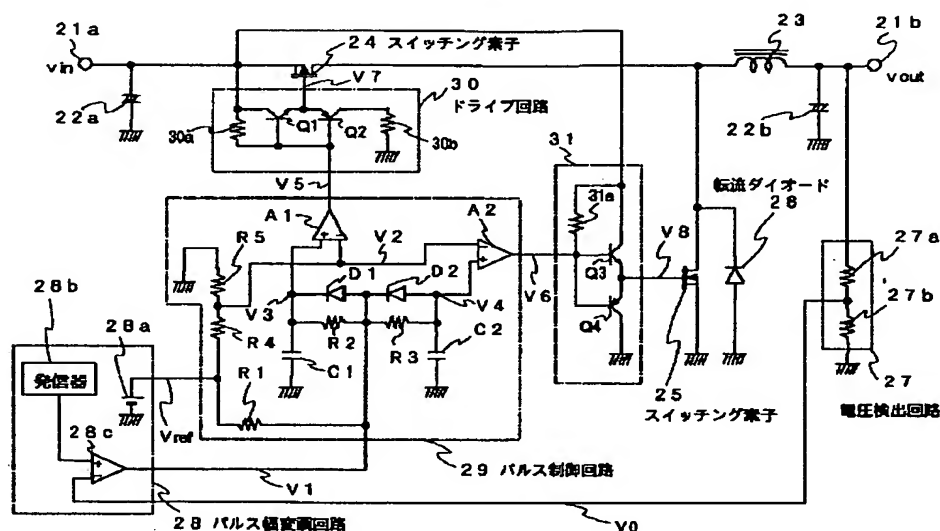
【図9】本発明の第2の実施形態におけるパルス制御回路の動作を説明する図

【図10】本発明の第2の実施形態におけるパルス制御回路の動作を説明する図

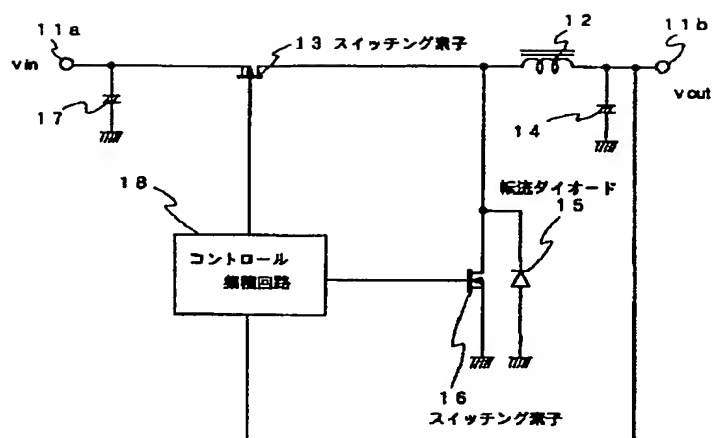
【符号の説明】

21a…入力端子、21b…出力端子、22a、22b…平滑コンデンサ、23…平滑リアクトル、24…第1のスイッチング素子（Pチャネル電解効果トランジスタ）、25…第2のスイッチング素子（Nチャネル電解効果トランジスタ）、26…転流ダイオード、27…電圧検出回路、27a、27b…抵抗器、28…パルス幅変調回路、28a…定電圧発生回路、28b…発信器、28c…比較器、29…パルス制御回路、A1、A2…比較器、D1、D2…ダイオード、R1～R5…抵抗器、C1、C2…コンデンサ、30…ドライブ回路、Q1…NPN型トランジスタ、Q2…PNP型トランジスタ、30a、30b…抵抗器、31…ドライブ回路、Q3…NPN型トランジスタ、Q4…PNP型トランジスタ、31a…抵抗器、32…パルス制御回路、A3、A4…ANDロジック素子、D3、D4…ダイオード、R11～R13…抵抗器、C11、C12…コンデンサ。

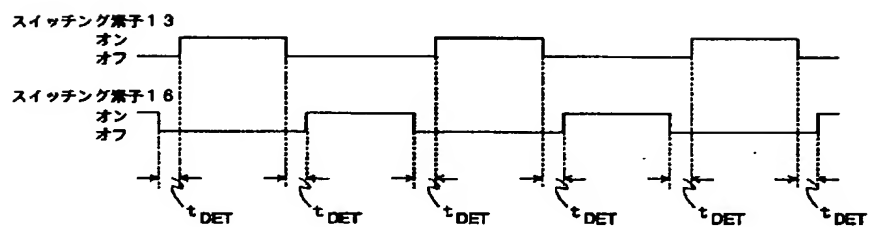
【図1】



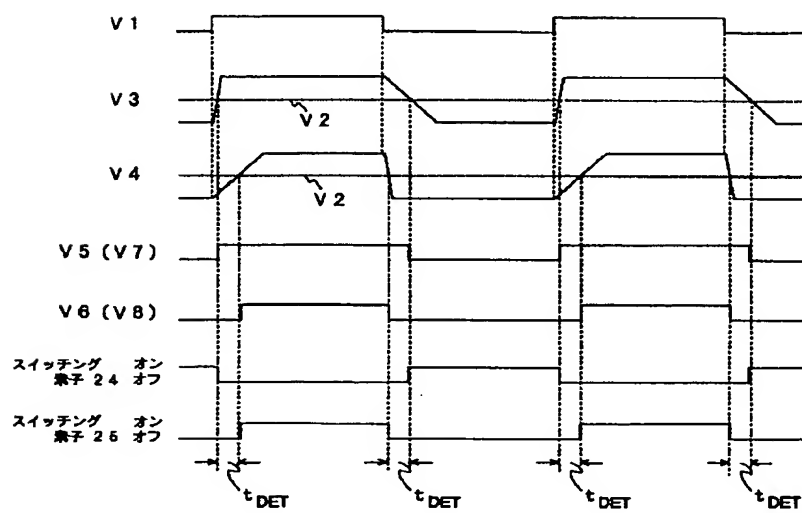
【図2】



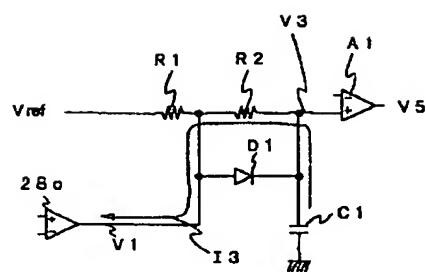
【図3】



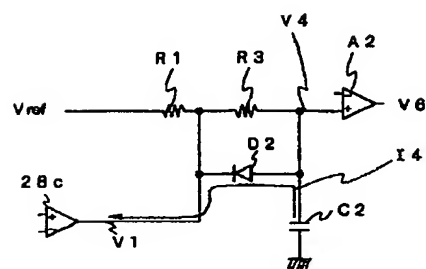
【図4】



【図6】

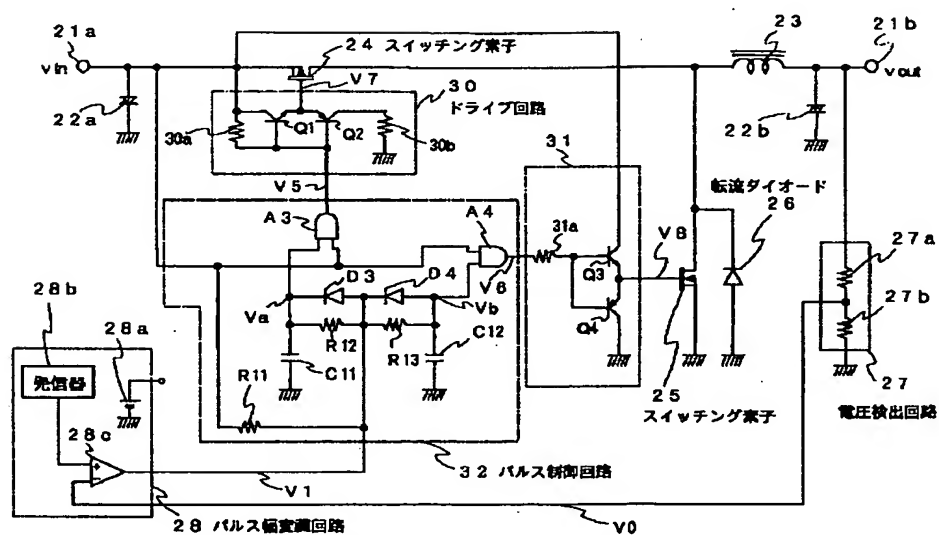


(a)

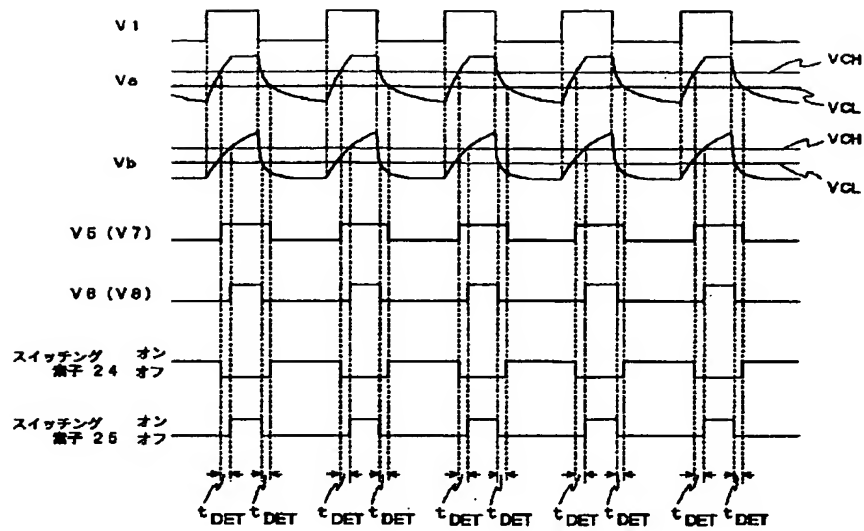


(b)

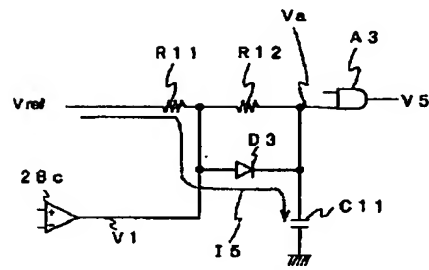
【图 7】



【図8】

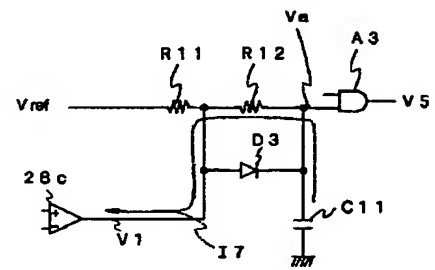


【図9】

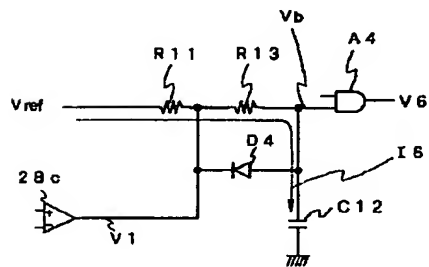


(a)

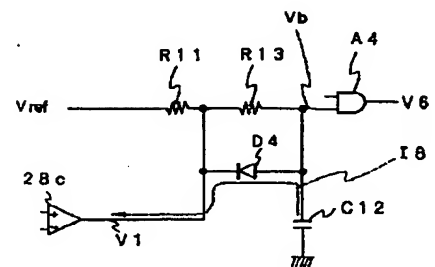
【図10】



(a)



(b)



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.